

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020030002755 A  
(43)Date of publication of application: 09.01.2003

---

(21)Application number: 1020010038455 (71)Applicant: HYNIX SEMICONDUCTOR INC.  
(22)Date of filing: 29.06.2001 (72)Inventor: HWANG, SU MAN  
(51)Int. Cl G11C 7/06 NAM, GI JUN

---

(54) BIT LINE SENSE STRUCTURE OF SEMICONDUCTOR MEMORY DEVICE

(57) Abstract:



PURPOSE: A bit line sense structure of a semiconductor memory device is provided, which increases a bit line sensing operation speed by reducing tRCD.

CONSTITUTION: A sense amplifier controller(10) generates the first and the second and the third and the fourth signal according to a bit line synchronous signal and a cell block selection signal. A sense amplifier driver(20) precharges the first and the second line to a constant level according to the first and the second control signal of the sense amplifier controller, and then precharges the first and the second line to an established level according to the third and the fourth control signal.

The first coupling capacitor(C) is connected between the first line and the first output line of the sense amplifier controller outputting the first signal. The second coupling capacitor(C) is connected between the second line and the first output line of the sense amplifier controller outputting the second signal. And a bit line sense amplifier(30) starts a bit line sensing operation according to the potential of the first and the second line.

COPYRIGHT KIPO 2003

Legal Status

BEST AVAILABLE COPY

특2003-0002755

(19) 대한민국특허청(KR)  
(12) 공개특허공보(ʌ)(51) Int. Cl.  
G11C 7/06(11) 공개번호 2003-0002755  
(43) 공개일자 2003년01월09일

(21) 출원번호	10-2001-0038455
(22) 출원일자	2001년06월29일
(71) 출원인	주식회사 하이닉스반도체 경기 이천시 부발읍 이마리 산136-1
(72) 발명자	황수민 경기도이천시대월면사동현대5길502-1103 남기준
(74) 대리인	경기도김포시장가월드6지아파트405-1104 신영무

설명구 : 없음

(54) 반도체 메모리 장치의 비트라인 센스 구조

## 요약

비트라인 동기화 신호 및 셀 블럭 선택 신호에 따라 제 1, 제 2, 제 3 및 제 4 신호를 생성하는 센스 증폭기 콘트롤러와, 상기 센스 증폭기 콘트롤러의 제 1 및 제 2 제어 신호에 따라 제 1 및 제 2 라인을 일정 전위로 프리차지 한 다음 상기 제 3 및 제 4 제어 신호에 따라 상기 제 1 및 제 2 라인을 설정된 레벨로 프리차지하기 위한 센스 증폭기 드라이버와, 상기 제 1 라인과 상기 제 1 신호를 출력하는 상기 센스 증폭기 콘트롤러의 제 1 콤럭션 간에 접속된 제 1 커플링 캐패시터와, 상기 제 2 라인과 상기 제 2 신호를 출력하는 상기 센스 증폭기 콘트롤러의 제 1 콤럭션 간에 접속된 제 2 커플링 캐패시터와, 상기 제 1 및 제 2 라인의 전위에 따라 비트 라인 센스 동작을 시작하는 비트라인 센스 증폭기를 포함하여 구성된 반도체 메모리 소자의 센스 구조가 제공된다.

## 도면도

## 도2

## 센스 증폭기

## 설명서

## 도면의 관리 및 죠임

도 1 은 증례의 비트 라인 센스 회로도.

도 1A 는 도 1의 시뮬레이션 결과 파형도.

도 2 는 증례의 비트 라인 센스 구조를 나타내는 블럭도.

도 2A 는 도 2의 센스 증폭기 콘트롤러의 상세 회로도.

도 2B 는 도 2의 센스 증폭기 드라이버의 상세 회로도.

도 3 은 발명의 제 1 실시예에 따른 비트 라인 센스 구조를 나타내는 블럭도.

도 3A 는 도 3의 센스 증폭기 콘트롤러의 상세 회로도.

도 3B 는 도 3의 센스 증폭기 드라이버의 상세 회로도.

도 4 는 발명의 제 2 실시예에 따른 비트 라인 센스 구조를 나타내는 블럭도.

도 4A 는 도 4의 센스 증폭기 콘트롤러의 상세 회로도.

도 4B 는 도 4의 센스 증폭기 드라이버의 상세 회로도.